

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

Set	Items	Description
-----	-----	-----
?ss pn=11214312		
S1	1	PN=11214312
?t s1/4/1		

1/4/1

FN- DIALOG(R)File 347:JAPIO|
CZ- (c) 2000 JPO & JAPIO. All rts. reserv.|
TI- APPARATUS FOR MANUFACTURING SEMICONDUCTOR
PN- 11 -214312 -JP 11214312 A-
PD- August 06, 1999 (19990806)
AU- MATSUO HIROAKI
PA- SONY CORP
AN- 10-012497 -JP 9812497-
AD- January 26, 1998 (19980126)
H01L-021/205; C23C-016/44; H01L-021/22; H01L-021/285
AB- PROBLEM TO BE SOLVED: To prevent metal contamination within a reaction system using a gas having a characteristic to cause corrosion of a metal material, by covering the surface of a constituent part made of a metal material, of constituent parts to be in contact with the gas having a characteristic to cause corrosion of a metal material, with a covering part made of an anticorrosive material. SOLUTION: A cover plate 115 as a covering part is applied to one end surface of a flange part 114a of a port flange 114 and an inner circumferential surface of a flange part 112a of a tube receiving flange 112. A cover plate 116 as a covering part is applied to one end surface of a setting part 114c of the port flange 114. The cover plates 115 and 116 are made of an anticorrosive material such as quartz or the like. Thus, generation of rust on the tube receiving flange 112, the port flange 114 and the like due to a halogen-based gas and a by-product thereof remaining after chemical reaction can be prevented. COPYRIGHT: (C)1999,JPO

?

?

?ss pn=(7118443 or 5182923 or 7099321 or 9017729 or 10149984 or 9148246 or 10116989 or 5090191 or 9007911 or 11017185)

S2	1	PN=7118443
S3	1	PN=5182923
S4	1	PN=7099321
S5	1	PN=9017729
S6	1	PN=10149984
S7	1	PN=9148246
S8	1	PN=10116989
S9	1	PN=5090191
S10	1	PN=9007911
S11	1	PN=11017185
S12	10	PN=(7118443 OR 5182923 OR 7099321 OR 9017729 OR 10149984 OR 9148246 OR 10116989 OR 5090191 OR 9007911 OR 11017185)

?t s12/4/all

12/4/1

FN- DIALOG(R)File 347:JAPIO|
CZ- (c) 2000 JPO & JAPIO. All rts. reserv.|
TI- LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURE
PN- 11 -017185 -JP 11017185 A-
PD- January 22, 1999 (19990122)
AU- KAWACHI GENSHIROU; OKUBO TATSUYA; MIMURA AKIO; SHINAGAWA TAKAAKI

PA- HITACHI LTD

AN- 09-164077 -JP 97164077-

AD- June 20, 1997 (19970620)

H01L-029/786; H01L-021/336; G02F-001/136; H01L-027/12

AB- PROBLEM TO BE SOLVED: To simplify the processes of the manufacturing method of a TFT liquid crystal display, by so forming continuously its films as to take out its substrate from a vacuum equipment as infrequent as possible. SOLUTION: After on a glass substrate 1 a bedding insulation film 2, a semiconductor film 30 recrystallized by heating, a gate insulation film 20, and a gate electrode 10 are formed continuously in a vacuum equipment, the gate electrode 10 and gate insulation film 20 are patterned simultaneously to form thereafter impurity regions 31 in the semiconductor film 30. In this way, by processing consistently in vacuum a plurality of film forming processes, the productivity of a liquid crystal display is improved to make realizable its low cost. Also, since the semiconductor film 30 is never exposed to the atmosphere before and after its recrystallized process by heating, a transistor having a good characteristic can be manufactured with a good repeatability. COPYRIGHT: (C)1999,JPO

12/4/2

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv. |

TI- METHOD AND DEVICE FOR FORMING POLYCRYSTALLINE SILICON

PN- 10 -149984 -JP 10149984 A-

PD- June 02, 1998 (19980602)

AU- ISHIKAWA MICHIO; ITO KAZUYUKI; HASHIMOTO YUKINORI; YONEZAKI TAKESHI;
TOGAWA ATSUSHI; OTA YOSHIFUMI

PA- ULVAC JAPAN LTD [352286] (A Japanese Company or Corporation), JP
(Japan)

AN- 08-309497 -JP 96309497-

AD- November 20, 1996 (19961120)

IC- -6- H01L-021/20; H01L-029/786; H01L-021/336

CL- 42.2 (ELECTRONICS -- Solid State Components); 36.1 (LABOR SAVING
DEVICES -- Industrial Robots)

KW- R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors)

AB- PROBLEM TO BE SOLVED: To provide a method by which such polycrystalline silicon that is suitable for the manufacture of a polycrystalline silicon thin film transistor having large field effect mobility can be formed efficiently and a device which can adequately implement the method.

SOLUTION: In a polycrystalline silicon forming method which includes a crystallizing processes for crystallizing an amorphous silicon film formed on a substrate 2 through laser annealing by irradiating the film with a laser beam in a sealed airtight chamber 12, the inside of the chamber 12 is maintained in such an atmosphere that the pressure is maintained between 0.1Torr and below the manimum and pressure of the chamber 12 and at least one kind of gas selected from among a hydrogen gas, a nitrogen gas, and an inert gas is made to flow in the chamber 12. The polycrystalline silicon formed in the chamber 12 while the chamber is maintained in the above-mentioned atmosphere is continual treated with hydrogen plasma without exposing the silicon to the atmosphere.

12/4/3

FN- DIALOG(R)File 347:JAPIO|

FO5 4/15
I.D.S.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 1 8 5

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 2 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/786			H01L 29/78	627 B
21/336			G02F 1/136	500
G02F 1/136	500		H01L 27/12	R
H01L 27/12			29/78	612 C
				617 V

審査請求 未請求 請求項の数 1 2 O L (全 1 0 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 1 6 4 0 7 7

(22) 出願日 平成 9 年 (1 9 9 7) 6 月 2 0 日

(71) 出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72) 発明者 大久保 竜也

茨城県ひたちなか市稲田 1 4 1 0 番地 株

式会社日立製作所映像情報メディア事業部
内

(74) 代理人 弁理士 平木 祐輔

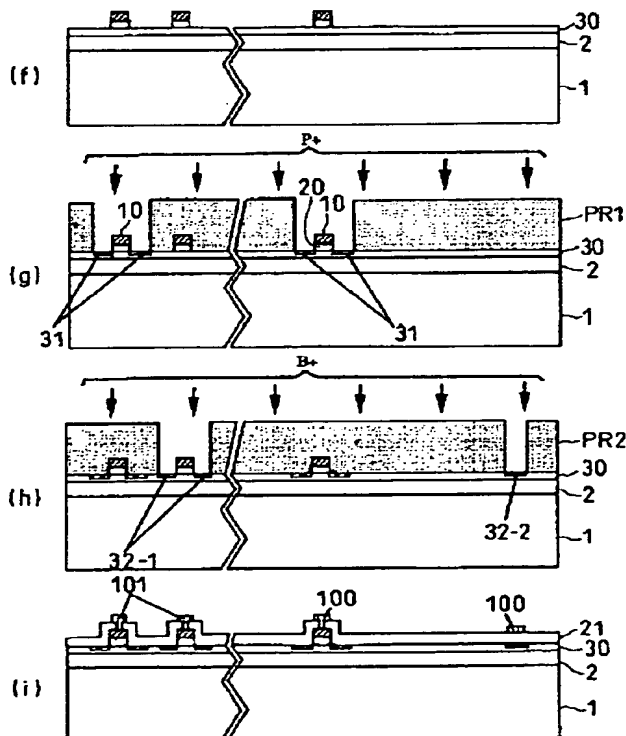
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 T F T 液晶表示装置の製造方法において、基板をできるだけ真空装置から出さないで連続成膜することにより、製造工程を簡素化する。

【解決手段】 ガラス基板 1 上に下地絶縁膜 2、加熱再結晶化された半導体膜 3 0、ゲート絶縁膜 2 0 及びゲート電極 1 0 を真空装置内で連続成膜してから、ゲート電極 1 0 及びゲート絶縁膜 2 0 を同時にパターニングして、その後、半導体膜 3 0 内に不純物半導体領域 3 1 を形成する。このように、複数の成膜工程を真空中で一貫処理することにより、生産性が向上し液晶表示装置の低コスト化を実現できる。また、半導体膜 3 0 を加熱再結晶化する工程の前後で半導体膜 3 0 が大気に曝されることがないので、良好な特性を有するトランジスタを再現性よく製造できる。



【特許請求の範囲】

【請求項 1】 基板上略全面に、絶縁ゲート型トランジスタを構成する半導体膜を形成する工程と、

前記半導体膜を加熱再結晶化する工程と、

前記加熱再結晶化された半導体膜上に絶縁ゲート型トランジスタのゲート絶縁膜を形成する工程と、

前記絶縁ゲート型トランジスタのゲート絶縁膜上の略全面に絶縁ゲート型トランジスタのゲート電極を形成する工程とを真空装置内で連続一貫して実施する工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項 2】 請求項 1 記載の液晶表示装置の製造方法において、前記半導体膜を加熱再結晶化する手段として、レーザ、あるいは電子ビームのようなエネルギービームを照射することを特徴とする液晶表示装置の製造方法。

【請求項 3】 トップゲート構造を有する薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置において、前記薄膜トランジスタ素子のゲート電極の下全面に加熱再結晶化された半導体膜が形成されていることを特徴とする液晶表示装置。

【請求項 4】 基板上略全面に、形成された半導体膜と、

前記半導体膜上の一部に第 1 の絶縁膜を介して形成された第 1 の電極と、

前記第 1 の電極のパターンを挟むように前記半導体膜内に形成された、一対の第 1 導電型を有する不純物半導体層と、

前記一対の第 1 導電型を有する不純物半導体層の一方に接続された第 2 の電極と、

前記一対の第 1 導電型を有する不純物半導体層の他方に接続された第 3 の電極とから構成される複数の薄膜トランジスタと、

前記複数の薄膜トランジスタの第 1 の電極間を接続する複数の走査配線電極と、

前記複数の薄膜トランジスタの第 2 の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、

前記複数の薄膜トランジスタの第 3 の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、

対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、

前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、

前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動することを特徴とする液晶表示装置。

【請求項 5】 基板上に、網目状パターンに連結形成された半導体膜と、

前記半導体膜上の一部に第 1 の絶縁膜を介して形成された第 1 の電極と、

前記第 1 の電極のパターンを挟むように前記半導体膜内に形成された、一対の第 1 導電型を有する不純物半導体層と、

前記一対の第 1 導電型を有する不純物半導体層の一方に接続された第 2 の電極と、

前記一対の第 1 導電型を有する不純物半導体層の他方に接続された第 3 の電極とから構成される複数の薄膜トランジスタと、

前記複数の薄膜トランジスタの第 1 の電極間を接続する複数の走査配線電極と、

前記複数の薄膜トランジスタの第 2 の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、

前記複数の薄膜トランジスタの第 3 の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、

対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、

前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、

前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動することを特徴とする液晶表示装置。

【請求項 6】 請求項 4 又は 5 記載の液晶表示装置において、互いに隣り合う前記薄膜トランジスタの第 1 の電極間を接続する走査配線電極と交差するように、前記半導体膜内の一部に第 2 導電型を有する不純物半導体層が形成されていることを特徴とする液晶表示装置。

【請求項 7】 請求項 6 記載の液晶表示装置において、前記第 2 導電型を有する不純物半導体層は、前記画素電極又は前記第 3 の電極に接続され、前記第 2 導電型を有する不純物半導体層と、走査配線電極と、これらの間に挟持された絶縁膜とによって保持容量を形成してなることを特徴とする液晶表示装置。

【請求項 8】 請求項 5 記載の液晶表示装置において、前記連結形成された半導体膜の網目状パターンは、前記第 2 及び第 3 の電極上に形成された保護絶縁膜のパターンと略同一形状を有することを特徴とする液晶表示装置。

【請求項 9】 請求項 4 乃至 8 のいずれかに記載の液晶表示装置において、前記画素電極は光反射機能又は光散乱機能を備えており、対向基板側から入射する外光を反射あるいは散乱することで画像表示を行うことを特徴とする液晶表示装置。

【請求項 10】 請求項 4 乃至 9 のいずれかに記載の液晶表示装置において、前記走査配線電極あるいは信号配線電極に所定の電気信号を供給する駆動回路を、前記半

導体膜上に形成した相補型の薄膜トランジスタ群により構成したことを特徴とする液晶表示装置。

【請求項 11】 請求項 4 又は 5 記載の液晶表示装置において、互いに隣り合う任意の一对の薄膜トランジスタの第 1 の電極間を接続する走査配線電極と交差するように、前記半導体膜が除去された領域が存在することを特徴とする液晶表示装置。

【請求項 12】 請求項 4 又は 5 記載の液晶表示装置において、前記半導体膜内の一部には、互いに隣り合う任意の一对の薄膜トランジスタの第 1 の電極間を接続する走査配線電極と交差するように、前記半導体膜の自己酸化膜のパターンが形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置及びその製造方法に係り、特に、薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置の構造及び製造方法に関する。

【0002】

【従来の技術】 OA 機器等の画像、文字情報の表示装置として、薄膜トランジスタ（以下 TFT と記す）を用いたアクティブマトリックス方式の液晶表示装置が知られている。従来この種の液晶表示装置においては低コスト化と並んで高精細化、高画質化が重要な課題である。これらの課題を解決するためにはキーデバイスである TFT の性能向上が欠かせない。高性能な TFT を安価なガラス基板上に形成するに際して、例えば、特開平 7-297407 号公報に記載されているように、TFT アクティブマトリックスを駆動する周辺駆動回路をも TFT で構成し、同一基板上に集積してコストを低減することが考えられている。（第 1 の従来技術）より高機能の周辺駆動回路をガラス基板上に集積できれば外部に実装する回路構成や実装工程を簡単化できるので実装コストの大幅な削減が期待できる。高機能の回路を構成するためにはより高性能な TFT が必要とされる。多結晶シリコン（以下 poly-Si と記す）膜上に形成した TFT は、そのような周辺駆動回路集積型の表示装置用の TFT として最も期待されているものである。上記の従来技術において開示されているような poly-Si TFT は、相補型（CMOS）回路を構成する必要があることや、素子構造上の制約から、現在アクティブマトリックス方式の液晶表示装置に広く用いられている非晶質シリコン（以下 a-Si と記す）膜上に形成された TFT に比べて、製造工程が長く複雑であり、プロセスコストは割高となっている。

【0003】 TFT の製造工程を簡略化し、コストを低減する方法の一つとして、a-Si TFT においては、半導体膜である a-Si 膜や、絶縁膜等の複数の薄膜を一つの真空装置内で連続して形成することにより、スループ

ットを向上させ、かつ複数の薄膜の間の界面が大気に曝すことで汚染され、素子の特性が低下することを防止する方法が、例えば特開昭 58-102560 号公報や特開平 4-352419 号公報において開示されている。

（第 2 の従来技術）

【0004】

【発明が解決しようとする課題】 上記第 1 の従来技術に示されている、トップゲート構造を有する poly-Si TFT の製造プロセスの初期は以下のようなものである。すなわち、（1）基板上に下地となる絶縁膜を形成する工程、（2）下地絶縁膜上に a-Si 膜を形成する工程、（3）a-Si 膜を熱処理あるいはレーザビーム照射等の手段により poly-Si 膜に転換する工程、（4）poly-Si 膜を個々の TFT の領域に写真食刻法を用いて分離する工程、（5）分離された poly-Si パターンの上にゲート絶縁膜を形成・分離する工程、（6）ゲート絶縁膜の上にゲート電極を形成・分離する工程から構成される。

（他に不純物をドーピングする工程があるが省略する。）

20 上記の製造工程においては、a-Si 膜を成膜する工程、ゲート絶縁膜を成膜する工程及びゲート電極を成膜する工程のそれぞれの間に、Si 膜をパターニングする工程及びゲート絶縁膜をパターニングする工程があり、このために、薄膜をパターニングする工程の前後に成膜装置を使用する必要が生じ、生産効率向上を阻んでいる。また、Si 膜をパターニングする工程の存在そのものも工程数を増加させる一因である。さらに、Si 膜をパターニングするために薄膜を大気中に取り出すことで薄膜表面が汚染され、素子特性低下の原因となっていることも問題である。

30 【0005】 このため、第 2 の従来技術にあるように、これらの薄膜をすべて真空装置内で連続して形成しようとしても、トップゲート構造の場合は、ゲート電極を形成する前までには Si 膜をパターニングしなければならぬと考えられていた。本発明の目的は、以上のような問題を解決し、簡略で生産性の高い、高性能 TFT の製造方法を提供することにある。また、本発明の別の目的は、そのような簡略な製造プロセスを採用しても、素子の特性や、表示画質が低下しないような液晶表示装置の構造を提供することにある。

【0006】

【課題を解決するための手段】

（製法：基本） 本発明の液晶表示装置の製造方法は、基板全周全面に、絶縁ゲート型トランジスタを構成する半導体膜を形成する工程と、前記半導体膜を加熱再結晶化する工程と、前記加熱再結晶化された半導体膜上に絶縁ゲート型トランジスタのゲート絶縁膜を形成する工程と前記絶縁ゲート型トランジスタのゲート絶縁膜上の略全面に絶縁ゲート型トランジスタのゲート電極を形成する工程とを真空装置内で連続一貫して実施するものであ

る。

(製法: レーザ等を照射) また、前記半導体膜を加熱再結晶化する手段として、レーザ、あるいは電子ビームのようなエネルギービームを照射するものである。

【0007】上記のような製造方法を採用することにより、ゲート電極を形成するまでの間、薄膜をパターニングするために基板を大気中に取り出すことがないので、半導体膜を形成する工程からゲート電極を形成する工程に至るまで同一の真空装置内で一貫して処理することが可能となり、生産性を向上させ、製造コストを低減できる。また、加熱再結晶化する前後で半導体膜が大気中に曝されないで、大気からの汚染を防止でき、素子の性能、信頼性が向上する。

【0008】本発明において、素子分離のための半導体膜のパターニングを全くしない場合でも、絶縁基板上に形成する薄膜トランジスタにおいては、半導体膜として高抵抗の真性半導体膜を用いるので、素子間はこの高抵抗で自動的に分離され、実用上問題ない。特に、半導体膜の膜厚を例えば100nm以下にまで薄くすれば、素子間の抵抗値を十分高く保つことができるのでより望ましい。

(構造: 基本) また、本発明の液晶表示装置は、トップゲート構造を有する薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置において、前記薄膜トランジスタ素子のゲート電極の下の全面に加熱再結晶化された半導体膜が形成されているものである。

(構造: Si膜を全面形成) また、基板上略全面に、形成された半導体膜と、前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極と、前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動するものである。

(構造: Si膜を網目状に形成) また、基板上に、網目状パターンに連結形成された半導体膜と、前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極

と、前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動するものである。

【0009】上記のような構造を採用することにより、製造途中において薄膜をパターニングするために基板を大気中に取り出すことがなく製造できるので、半導体膜を形成する工程からゲート電極を形成する工程に至るまでを同一の真空装置内で一貫して処理することが可能となり生産性を向上させることができるので製造コストを低減できる。また、加熱再結晶化する前後で半導体膜が大気中に曝されないで、大気からの汚染を防止でき、素子の性能、信頼性が向上する。

(構造: 反射型液晶表示装置) 本発明の構造で半導体膜を全くパターニングしなければ、半導体膜を形成したアクティブマトリックス基板は可視光に対して不透明になる。このため、基板を透過する光を変調する所謂透過型液晶表示装置に適用するには問題がある。この問題点は、前記画素電極に光反射機能あるいは光散乱機能を持たせ、対向基板側から入射する外光を反射あるいは散乱することで画像表示を行う反射型表示装置を構成することにより解決できる。

(構造: 網目に画素電極を形成) あるいは、別の解決法としては、上記のように、半導体膜を網目状に連結されたパターンとして、網目の目にあたる半導体膜が形成されない領域に画素電極を形成した透過型表示装置とすることによっても解決できる。ただし、この場合、半導体膜を網目状に連結されたパターンに加工する工程を、前記第2及び第3の電極上に形成された保護絶縁膜をパターニングする工程の後に実施して、前記連結形成された半導体膜の網目状パターンを、前記第2及び第3の電極上に形成された保護絶縁膜のパターンと略同一形状とすることにより、本発明の、加熱再結晶化する前後で半導体膜が大気中に曝されない、という特徴を損なうことがない。したがって、透過型の表示装置においても本発明

の目的を達成することができる。

（構造：寄生チャネルストッパ層を設ける）また、上記本発明の別の目的を達成するため、本発明の液晶表示装置は、上記液晶表示装置において、前記半導体膜内の一部には、互いに隣り合う任意の一对の薄膜トランジスタの第 1 の電極間を接続する走査配線電極と交差するように、第 2 導電型を有する不純物半導体層を形成するものである。

【0010】本発明において半導体膜をパターニングしない構造においては隣り合うトランジスタ間の干渉が問題となることがある。即ち、各々のトランジスタのゲート電極が走査配線電極によって接続されることにより、トランジスタ部のみならず、トランジスタ間を接続する走査配線電極の下層の半導体膜表面にも電界効果によりキャリアが誘起され電流パスが形成される。（以下、この走査配線電極の下層の電流パスを寄生チャネルと記す）この寄生チャネルにより隣り合うトランジスタに印加される映像信号間にクロストークが発生し、画像上は例えばシャドウイング現象として現われ、画質を低下させる。上記の手段によれば、このような問題を防止することができる。即ち、互いに隣り合う薄膜トランジスタの第 1 の電極間を接続する走査配線電極と交差するように、前記半導体膜内の一部にトランジスタの極性とは逆極性の第 2 導電型を有する不純物半導体層を形成すると、第 2 導電型を有する不純物半導体層においては、たとえ走査電極に電圧が印加されても、チャネルが形成されないようにできる。これにより寄生チャネルをカットできる。

（構造：寄生チャネルストッパ層を保持容量として用いる）さらに、前記第 2 導電型を有する不純物半導体層を、前記画素電極あるいは前記第 3 の電極に接続し、前記第 2 導電型を有する不純物半導体層と、走査配線電極と、これらの間に挟持された絶縁膜とによって保持容量を形成することができる。保持容量を形成することにより、トランジスタのリーク電流等による画素電極電位の時間変動や、画素電極とその周囲に配置された走査配線電極あるいは信号配線電極間の寄生容量による画素電極電位の変動を小さくできるので、良好な画像品質を実現できる。

【0011】

【発明の実施の形態】以下、本発明の一実施の形態を図面に基づいて説明する。

（実施の形態 1）図 1（a）～図 3（l）は、本発明の第 1 の実施の形態に係る液晶表示装置の製造方法を示す断面図である。

【0012】ガラス基板 1 上にプラズマ CVD 法により、下地膜として二酸化シリコン（ SiO_2 ）膜 2 を 300 nm 形成する。（図 1（a）参照）

引き続いて、真性 a-Si 膜 3 を同じくプラズマ CVD 法により 50 nm 形成する。（図 1（b）参照）

さらに、引き続いて高輝度の XeCl エキシマレーザ光 LASER を、エネルギー密度 300 mJ/cm^2 で照射し、前記真性 a-Si 膜 3 を熔融再結晶化して、真性多結晶シリコン（poly-Si）膜 30 を得る。（図 1（c）参照）

さらに、プラズマ CVD 法により二酸化シリコン（ SiO_2 ）膜を 100 nm 形成してゲート絶縁膜 20 とする。（図 1（d）参照）

さらにスパッタリング法により Nb 膜を 200 nm 形成しゲート電極 10 とする。（図 1（e）参照）

本実施の態様では、以上図 1（a）～図 1（e）に至る工程を、同一の真空装置内で基板を大気中に取り出すことなく連続一貫して行うことを特徴とする。

【0013】次に、前記ゲート電極 10 及びゲート絶縁膜 20 を所定の平面形状にパターニングする。（図 2（f）参照）

本図以下、図の右側は画素内 TFT の断面図を、左側は駆動回路部に用いられる TFT の断面図を示す。次に、所定形状のホトレジストパターン PR1 を形成後、前記ホトレジストパターン PR1、及びゲート電極 10 のパターンをマスクとして、リンを含むイオンビーム P+ を照射し、n 型 poly-Si 層 31 を形成する。（図 2（g）参照）

前記ホトレジストパターン PR1 を除去した後、別のホトレジストパターン PR2 を形成し、前記ホトレジストパターン PR2、及びゲート電極 10 のパターンをマスクとして、ボロンを含むイオンビーム B+ を照射し、p 型 poly-Si 層 32-1 を形成する。（図 2（h）参照）このとき、チャネルストッパ層となる p 型 poly-Si 層 32-2 も同時に形成する。

【0014】前記ホトレジストパターン PR2 を除去した後、再度 XeCl エキシマレーザ光をエネルギー密度 200 mJ/cm^2 で照射し、注入したリン及びボロンを活性化し、n 型 poly-Si 層 31、及び p 型 poly-Si 層 32 を低抵抗化する。次に、保護絶縁膜 21 としてプラズマ CVD 法により SiO_2 膜を 200 nm 形成して所定の形状にパターニングする。最後にスパッタリング法により Nb を 200 nm 形成し、所定の形状にパターニングして走査信号電極 100、及び回路内の第 1 層配線電極 101 を得る。（図 2（i）参照）

次に、2 層目の保護絶縁膜 23 としてプラズマ CVD 法により SiO_2 膜を 300 nm 形成して所定の形状にパターニングしたあと、スパッタリング法により Nb を 400 nm 形成し、所定の形状にパターニングして、映像信号電極 110、ソース電極 12 及び回路内の第 2 層配線電極 111 を得る。（図 3（j）参照）

次に、プラズマ CVD 法により、シリコン窒化（ Si_3N_4 ）膜 22 を 500 nm 形成し、所定のパターンに加工する。この時、画素電極 13 が形成される領域の第 1 層目及び第 2 層目の保護絶縁膜及び poly-Si 膜 30 も Si

N膜 2 2 とともにエッチング除去する点にも本発明の特徴がある。(図 3 (k) 参照)

最後に、透明導電膜であるインジウムスズ酸化膜 (ITO) をスパッタリング法により 140 nm 形成し、所定のパターンに加工して画素電極 1 3 とする。

【0015】本実施の形態においては、下地膜 2 の形成から、ゲート電極 1 0 の形成に至る一連の工程を同一の真空装置内で、基板を大気中に取り出すことなく実施するので、生産性が向上し、製造コストをさげることが可能となる。また、その他の効果として、poly-Si 膜 3 0 とゲート絶縁膜 2 0、あるいは poly-Si 膜 3 0 と下地絶縁膜 2 の間の界面が大気に曝されないので、大気からのボロンやその他の不純物に汚染されることがなく、良好な特性を有するトランジスタを再現性良く製造することができる。

【0016】また、本実施の形態の第 2 の特徴として、保護膜である SiN 膜 2 2 をパターニングする際に、同時に画素電極 1 3 が形成される領域の poly-Si 膜 3 0 も SiN 膜 2 2 とともにエッチング除去するようにした。本発明の構成では素子分離のために poly-Si 膜 3 0 を予めパターニングしないので、基板上略全面に poly-Si 膜 3 0 が残っている。poly-Si 膜 3 0 の光学的バンドギャップは約 1.1 eV であり、たとえ膜厚が 50 nm 程度と薄くても可視光領域の吸収は無視できず、透明ではない。このため、本発明の構成を透過型の液晶表示装置に応用する場合には、透過光を制御する画素電極 1 3 が形成される領域の poly-Si 膜 3 0 を除去する必要がある。上記、本実施の形態においては、この poly-Si 膜 3 0 を除去するためのパターンを保護膜である SiN 膜 2 2 のパターンと共通化することにより、余分なホトリソグラフィ工程を経ることなしに、所望の構成を得ることができる。上記ホトリソグラフィ工程の削減は製造工程の短縮に効果的であり、製造コストを低減できる効果がある。

(実施の形態 2) 図 4 は、本発明の第 2 の実施の形態に係る透過型液晶表示装置の単位画素の平面図である。

【0017】ガラス基板上に網目状パターンに形成された真性 poly-Si 膜 3 0 と、前記真性 poly-Si 膜 3 0 上にゲート絶縁膜 (図示せず) を介して形成されたゲート電極 1 0 と、前記ゲート電極 1 0 のパターンを挟むように真性 poly-Si 膜 3 0 内に形成された一対の n+型半導体層 3 1 と、前記ゲート電極 1 0 に接続された走査配線電極 1 0 0 と、これに交差するように形成された信号配線電極 1 1 0 と、互いに隣り合う走査配線電極 1 0 0 及び信号配線電極 1 1 0 の間に配置された画素電極 1 3 とからなる。前記信号配線電極 1 1 0 と一方の n+型半導体層 3 1、他方の n+型半導体層 3 1 とソース電極 1 2、及びゲート電極 1 0 と走査配線電極 1 0 0 はコンタクトスルホール TH 1 を介して相互に接続されている。また、前記ソース電極 1 2 と画素電極 1 3 は、コンタクト

スルホール TH 2 を介して相互に接続されている。さらに、本実施の形態の特徴として、真性 poly-Si 膜 3 0 内に前記走査配線電極 1 0 0 と交差するように p+型半導体層 3 2-2 が設けられている。この p+型半導体層 3 2-2 は、走査配線電極 1 0 0 下部に形成される寄生チャネルを切断し、互いに隣あうトランジスタ間でのクロストークを防止する役割を有する。このことによりクロストークのない良質な画像表示が実現できる。また、寄生チャネルの切断は、上記のように走査配線電極 1 0 0 と交差するように p+型半導体層 3 2-2 を設けること以外に、前記 p+型半導体層 3 2-2 が形成される部分の poly-Si 膜を選択的にエッチング除去する、あるいは前記 p+型半導体層 3 2-2 が形成される部分の poly-Si 膜を選択的に酸化して酸化膜を形成することによっても達成することができる。

(実施の形態 3) 図 5 及び図 6 は、本発明の第 3 の実施の形態に係る反射型液晶表示装置の単位画素の断面及び平面図である。

【0018】ガラス基板上略全面に形成された真性 poly-Si 膜 3 0 と、前記真性 poly-Si 膜 3 0 上にゲート絶縁膜 (図示せず) を介して形成されたゲート電極 1 0 と、前記ゲート電極 1 0 のパターンを挟むように真性 poly-Si 膜 3 0 内に形成された一対の n+型半導体層 3 1 と、前記ゲート電極 1 0 に接続された走査配線電極 1 0 0 と、これに交差するように形成された信号配線電極 1 1 0 と、互いに隣り合う走査配線電極 1 0 0 及び信号配線電極 1 1 0 の間に配置された光反射機能を有する画素電極 1 3 1 とからなる。前記信号配線電極 1 1 0 と一方の n+型半導体層 3 1、他方の n+型半導体層 3 1 とソース電極 1 2、及びゲート電極 1 0 と走査配線電極 1 0 0 はコンタクトスルホール TH 1 を介して相互に接続されている。また、前記ソース電極 1 2 と画素電極 1 3 1 は、コンタクトスルホール TH 2 を介して相互に接続されている。また、真性 poly-Si 膜 3 0 内に前記走査配線電極 1 0 0 と交差するように p+型半導体層 3 2-2 が設けられている。この p+型半導体層 3 2-2 は、走査配線電極 1 0 0 下部に形成される寄生チャネルを切断し、互いに隣あうトランジスタ間でのクロストークを防止する役割を有する。このことによりクロストークのない良質な画像表示が実現できる。さらに、本実施の形態の特徴として、前記 p+型半導体層 3 2-2 にはコンタクトスルホール TH 1 を介してパッド電極 1 4 が接続され、さらに前記パッド電極 1 4 と前記画素電極 1 3 1 はコンタクトスルホール TH 2 を介して接続されている。このような構成により、前記 p+型半導体層 3 2-2 と前記走査配線電極 1 0 0 との重畳部で構成される容量を電荷蓄積容量として利用できる。このことによりトランジスタのリーク電流等による画素の非選択期間における電圧変動を小さくできるので良好な画像表示が可能となる。また、本実施の形態は反射型の表示装置に用い

た例であるが、反射型の表示装置では基板が透明である必要がないので、半導体膜をできるだけバターンニングしないことを主旨とする本発明の適用はより容易である。また、上記の例では基板にガラス基板を用いたが、反射型の表示装置では基板が透明である必要がないので、基板材料としてはより広範な選択が可能となる。例えば、表面に絶縁膜を形成したシリコン基板上に形成する所謂シリコンオンインシュレータ（SOI）構造のトランジスタにも本発明は適用できる。この場合、半導体層は単結晶シリコンであるので、より高性能な回路を同一基板上に集積してコストを低減することが可能となる。

（実施の形態 4）図 7 は、本発明のトランジスタを用いて構成した駆動回路を、TFT アクティブマトリックスとともに同一基板上に集積した回路内蔵型表示装置全体の等価回路を示す。前記図 4 又は図 6 に示した単位画素をマトリックス状に配置したアクティブマトリックス 50 と、これを駆動する垂直走査回路 51、1 走査線分のビデオ信号を複数のブロックに分割して時分割的に供給するための水平走査回路 53、ビデオ信号 Data を供給するデータ信号線 Vdr1、Vdg1、Vdb1、…、ビデオ信号を分割ブロック毎にアクティブマトリックス側へ供給するスイッチマトリックス回路 52 よりなる。ここで、垂直走査回路 51 及び水平走査回路 53 は、シフトレジスタとバッファより構成され、クロック信号 CL1、CL2、CKV により駆動される。上記、駆動回路あるいはアクティブマトリックスを本発明のトランジスタで構成すると、製造工程中に半導体膜と絶縁膜界面が大気に曝されることがないので良好な特性を有するトランジスタが得られることから、高性能な駆動回路を構成でき、より高精細、高画質の表示装置を実現できる。

（実施の形態 5）図 8 は、本発明に係る反射型の液晶表示装置の断面模式図を示す。画素部分の断面図のみを示してある。液晶層 506 を基準に下部のガラス基板 1 上には、走査信号電極と映像信号電極とがマトリックス状に形成され、その交点近傍に形成された TFT を介して画素電極 130 を駆動する。本実施の形態においては、画素電極 130 は Al によって構成される。液晶層 506 を挟んで対向する対向ガラス基板 508 上にはITO よりなる対向電極 510、及びカラーフィルター 507、カラーフィルター保護膜 511、遮光用ブラックマトリックスパターンを形成する遮光膜 512 が形成されている。また、光の位相を変化させる位相板 530 と偏光板 505 が対向ガラス基板 1、508 の外側の表面に形成されている。配向膜 ORI1、ORI2、画素電極 130、保護膜 22、ゲート SiO₂ 膜 20 のそれぞれの層はシール材（図示せず）の内側に形成されており、液晶層 506 は液晶分子の向きを設定する下部配向膜 ORI1 と、上部配向膜 ORI2 の間に封入され、シール材によって封止されている。下部配向膜 ORI1 は、ガラス基板 1 側の保護膜 22 の上部に形成される。対向ガラ

ス基板 508 の内側の表面には、遮光膜 512、カラーフィルター 507、カラーフィルター保護膜 511、対向電極 510 及び上部配向膜 ORI2 が順次積層して設けられている。この液晶表示装置はガラス基板 1 側と対向ガラス基板 508 側の層を別々に形成し、その後上下ガラス基板 1、508 を重ねあわせ、両者間に液晶 506 を封入することによって組立られる。本実施の形態は、反射型表示装置であるので、光源は対向ガラス基板 508 の外側から入射する光であり、この入射光を、表面が鏡面状である画素電極 131 で反射する。この反射光の強度を液晶層 506 部分で調節することにより TFT 駆動型の反射型カラー液晶表示装置が構成される。このような反射型の表示装置においては、電力を多く消費するバックライトが不要であるので、低消費電力の液晶表示装置を実現できるが、画素電極 130 を駆動する TFT、あるいは周辺駆動回路を構成する TFT として、以上に述べた本発明の半導体素子を用いることにより、製造工程を簡略化できるので、低消費電力であると同時に安価な液晶表示装置を実現できる。また、製造工程中に半導体膜と絶縁膜界面が大気に曝されることがないので良好な特性を有するトランジスタが得られるので、良質で高精細の画像表示が可能となる。

（実施の形態 6）以上述べたような、レーザ照射工程と成膜工程を基板を大気に曝すことなく実施するための真空装置の模式図を図 9 に示す。装置は、基板 SUB を搬送するロボットアーム RM を備えたトランスファチャンバ L0、基板を送り出すためのロードチャンバ L1、基板を取り出すためのアンロードチャンバ L2、Si 膜を成膜するための成膜チャンバ C1、SiO₂ 膜を成膜するための成膜チャンバ C2、真空中でレーザ光を照射するためのレーザ照射チャンバ C3 及び Nb 膜を成膜するための成膜チャンバ C4 からなる。またレーザ光は外部のレーザ発振源 OSC から放出され、ミラー M により反射され石英窓 QW を通してレーザ照射チャンバ C3 に導入される。

【0019】本装置を用いて、例えば前記図 1～図 3 で説明した工程を実施するためには基板を L1（基板導入）→C1（下地 SiO₂ 成膜）→C2（a-Si 成膜）→C3（レーザ照射）→C1（ゲート絶縁 SiO₂ 成膜）→C4（ゲート電極 Nb 成膜）→L2（基板取りだし）の順で移動させればよい。以上のように、図 9 のような装置を用いることにより、本発明の製造方法を実施できることがわかる。またこのような装置を用いることにより従来別個の工程として行っていた成膜とレーザ照射工程を連続して効率よく実施することが可能となるので、生産性を大幅に向上させることができる。

【0020】

【発明の効果】以上のように、本発明によれば簡略で生産性の高い、高性能 TFT の製造方法並びに構造を提供できるので、液晶表示装置の高画質化及び低コスト化を

実現できる効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 2】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 3】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 4】本発明の第 1 の実施の形態を示す液晶表示装置の単位画素の平面図である。

【図 5】本発明の第 2 の実施の形態を示す液晶表示装置の単位画素の断面図である。

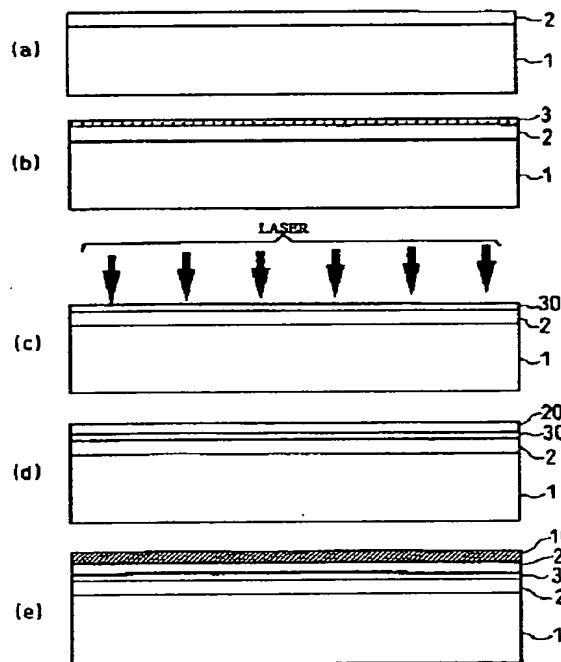
【図 6】本発明の第 2 の実施の形態を示す液晶表示装置の単位画素の平面図である。

【図 7】本発明の第 3 の実施の形態を示す駆動回路内蔵型の液晶表示装置全体の等価構成図である。

【図 8】本発明の第 4 の実施の形態を示す反射型液晶表示装置の液晶セル断面図である。

【図 9】本発明の液晶表示装置の製造方法を実施するための真空装置の模式図である。

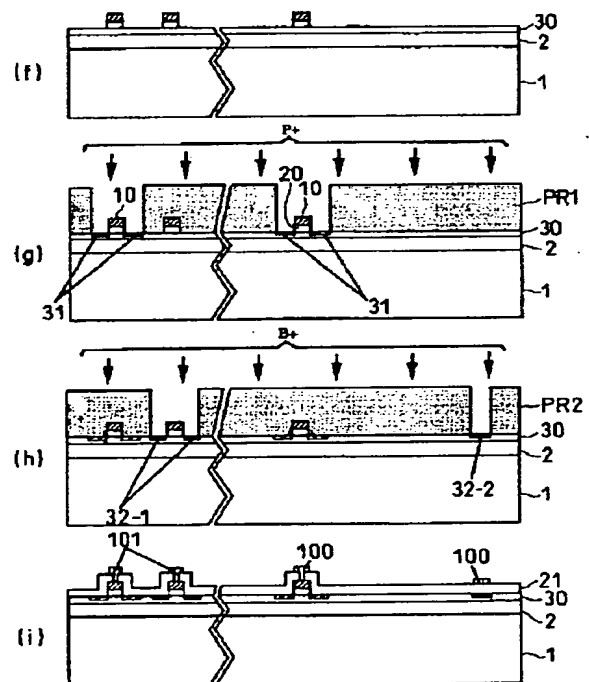
【図 1】



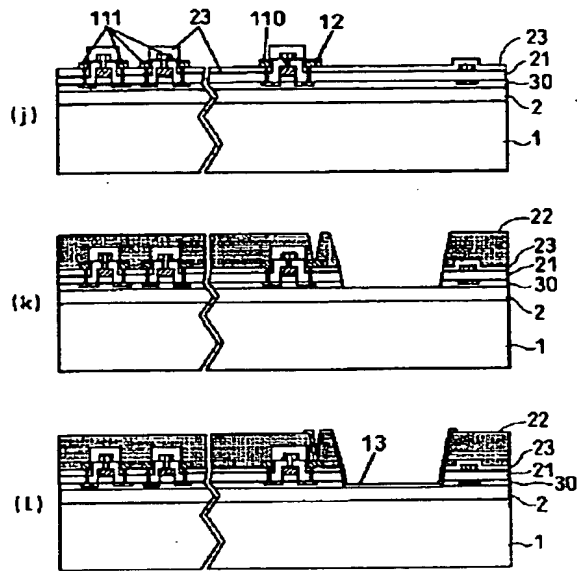
【符号の説明】

1	ガラス基板
2	下地絶縁膜
3	真性a-Si膜
10	ゲート電極
12	ソース電極
13、131	画素電極
14	パッド電極
20	ゲート絶縁膜
10 21、22、23	保護絶縁膜
30	真性poly-Si膜
31	n型poly-Si膜
32	p型poly-Si膜
50	TFTアクティブマトリックス
51	垂直走査回路
53	水平走査回路
100	走査配線電極
110	信号配線電極
PR1、PR2	ホトレジスト
20 TH1、TH2	コンタクトスルーホール

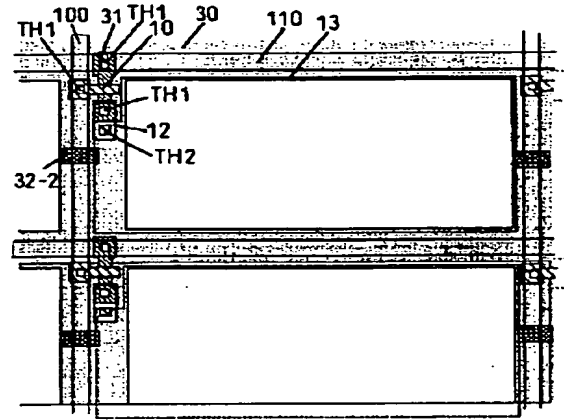
【図 2】



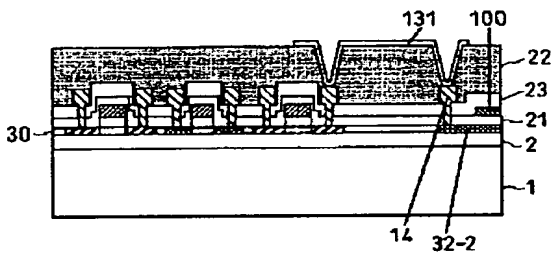
【図 3】



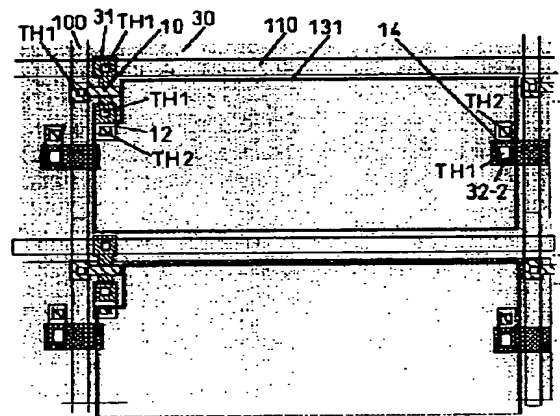
【図 4】



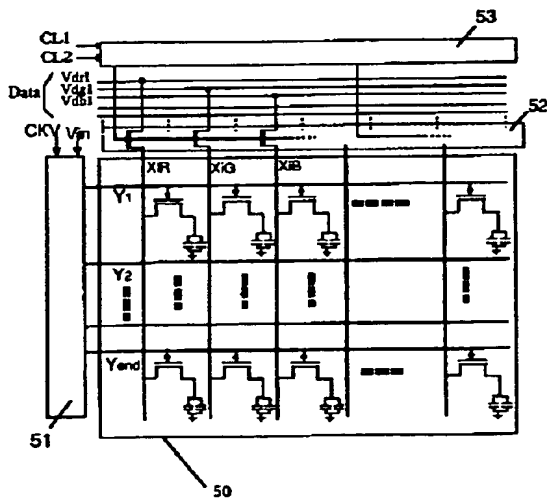
【図 5】



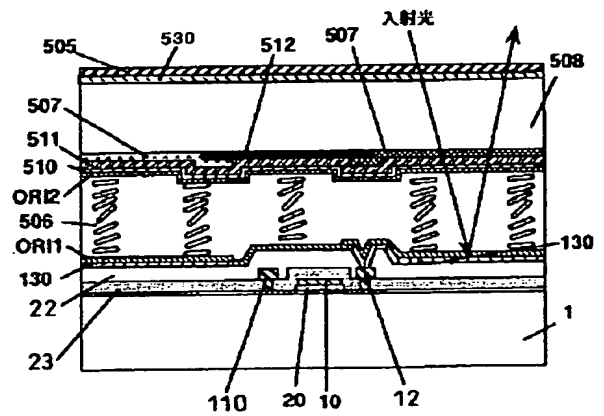
【図 6】



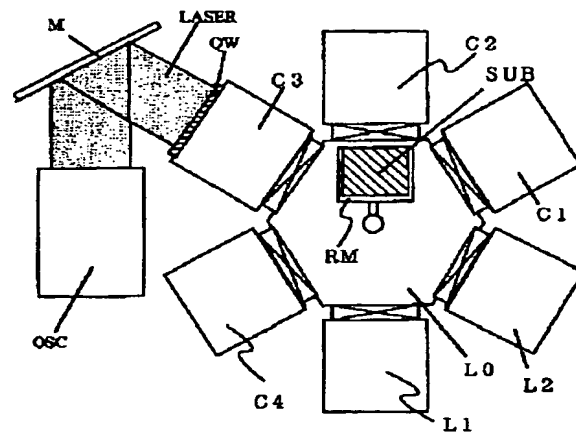
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

617 J

627 G

(72) 発明者 三村 秋男

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72) 発明者 品川 陽明

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内